

(Translation of a notice from the Japanese Patent Office)

Mailing Date: January 14, 1997

Mailing No. 002150

NOTIFICATION OF REASONS FOR REJECTION

Patent Application No.: 3-255354

Examiner's Notice Date: January 7, 1997

Examiner: K. HOTTA

Attorneys on Record: Takehiko Suzuye

This application is rejected on the grounds stated below. Any opinion about the rejection must be filed within 60 days of the mailing date hereof.

REASON

The invention is unpatentable under Section 29 (2) of the Patent Law, as being such that the invention could easily have been accomplished by a person having ordinary knowledge in the technical field to which such an invention belongs, on the basis of the invention described in the following publication(s) distributed in Japan or a foreign country prior to this application.

REMARKS

[Re: Claims 1 to 3]

The "designating means", "data input/output means", "counter means", and "control means" of claim 1 respectively correspond to "row/column decoder", "data input buffer, data output buffer", "shift register SR", and "timing control circuit TGC" of Reference 1.

The nibble mode for successively designating memory cells to which successive addresses are allocated, thereby achieving an access state, is well known.

[Re: Claims 8 and 9]

The “holding means”, “control means” and “data input/output means” of claims 8 and 9 respectively correspond to “dynamic latch”, “random state machine” and “serial data port” of Reference 2.

The random state machine of Reference 2 has a programmable logic array therein, and actually counts the cycle number of a clock signal RCLK, to output a control signal.

The claim(s), which is(are) not mentioned in this Official Action, is(are) not rejected. If a new reason for rejection is noticed, a further Official Action will be issued.

References Cited

1. Jpn. Pat. Appln. KOKAI Publication No. 62-223891
2. Jpn. Pat. Appln. KOKAI Publication No. 2-250132

拒絶理由通知書

特許出願の番号	平成 3 年 特許願 第 2 5 5 3 5 4 号
起案日	平成 9 年 1 月 7 日
特許庁審査官	堀田 和義 8 8 4 0 5 L 0 0
特許出願人代理人	鈴江 武彦 殿
適用条文	第 2 9 条第 2 項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 6 0 日以内に意見書を提出されたい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 2 9 条第 2 項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

[請求項 1 ～ 3]

請求項 1 に係る発明の「指定手段」「データ入出力手段」「計数手段」「制御手段」は、それぞれ、引用刊行物 1 に記載された発明の「ロウ／カラムデコーダ」「データ入力バッファ、データ出力バッファ」「シフトレジスタ SR」「タイミング制御回路 TGC」に対応する。

なお、連続したアドレスが割り付けられたメモリセルを順次指定してアクセス可能状態とするニブルモードは周知である。

続葉有

部長	審査長	審査官	審査官補
	徳永 民雄	堀田 和義	
	7 4 5 9	8 8 4 0	

続 葉

[請求項 8、9 に対して]

請求項 8、9に係る発明の「保持手段」「制御手段」「データ入出力手段」は、それぞれ、引用刊行物 2 に記載された発明の「ダイナミックラッチ」「ランダムステートマシン」「シリアルデータポート」に対応する。

引用発明 2 のランダムステートマシンは、内部にプログラマブルロジックアレイを有し、クロック信号 RCLK のサイクル数を実質的にカウントして制御信号を出力している。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

1. 特開昭 62-223891 号公報
2. 特開平 2-250132 号公報

File 347:JAPIO Oct/1976-2001/Nov(Updated 020305)

(c) 2002 JPO & JAPIO

*File 347: JAPIO data problems with year 2000 records are now fixed.
Alerts have been run. See HELP NEWS 347 for details.

1/5/1

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02306991 **Image available**
SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 62-223891 A]
PUBLISHED: October 01, 1987 (19871001)
INVENTOR(s): AKAZAWA TAKASHI
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 61-065684 [JP 8665684]
FILED: March 26, 1986 (19860326)
INTL CLASS: [4] G11C-011/34
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: P, Section No. 679, Vol. 12, No. 90, Pg. 132, March
24, 1988 (19880324)

ABSTRACT

PURPOSE: To provide no complicate circuit forming a timing signal inside by operating an internal circuit in time series by an external clock signal.
CONSTITUTION: A timing control circuit TGC receives the inverse of a chip selection signal CE supplied from an external terminal, the inverse of a write enable signal WE and the time series timing signal formed by a shift register SR and forms the timing signal according to the operating mode thereof and other various types of timing signals required for a memory operation. The shift register SR makes the clock signal CLK supplied from the external terminal a shift clock signal, performs the shift operation of high level (logic '1') continuously supplied to a first step circuit, and thereby forms the timing signal supplied in time series to the timing control circuit TGC.

⑫ 公開特許公報(A)

昭62-223891

⑪ Int. Cl.⁴

G 11 C 11/34

識別記号

3 6 2

庁内整理番号

A-8522-5B

⑬ 公開 昭和62年(1987)10月1日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭61-65684

⑯ 出 願 昭61(1986)3月26日

⑰ 発 明 者 赤 沢 隆 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. アクセスタイムより短い周期のクロック信号を外部端子から受け、このクロック信号のエッジに同期して、内部回路を時系列的に動作させる時系列的なタイミング信号を形成するタイミング発生回路を含むことを特徴とする半導体記憶装置。

2. 上記タイミング信号を受ける内部回路は、ダイナミック型回路であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば、ダイナミック型RAMに利用して有効な技術に関するものである。

(従来の技術)

ダイナミック型RAMのような半導体記憶装置においては、外部端子から供給されるアドレス

トローブ信号RAS、CASやライトイネーブル信号WEを遅延回路により順次遅延させて内部回路の動作に必要な時系列的なタイミング信号を形成している。なお、ダイナミック型RAMに関しては、例えば、特開昭57-82282号公報参照。

(発明が解決しようとする問題点)

このため、ダイナミック型RAMにおいては、複雑なタイミング制御回路が必要になり、回路規模を増大させる原因になっている。また、各タイミング信号は、素子特性のバラツキの影響を受けるので、ワーストケースを想定した時間マージンを設定するので、動作の高速化を妨げている。

この発明の目的は、回路規模の簡素化と高速動作化を図ったダイナミック型RAMを提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、アクセスタイムより短い周期のクロック信号を外部端子から受け、このクロック信号のエッジに同期して内部回路を時系列的に動作させるタイミング信号を形成するものである。

(作用)

上記した手段によれば、外部からのクロック信号によって内部回路を時系列的に動作させることができるので、タイミング信号をつくるような複雑な回路を内部に設けなくてすむようになる。

(実施例)

第1図には、この発明に係るダイナミック型RAMの一実施例の回路図が示されている。同図の各回路素子ないし回路ブロックは、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

同図に示した実施例回路では、NチャンネルMOSFETを代表とするIGFET(Insulated

このような微少な信号を検出するための基準としてダミーセルDCが設けられている。このダミーセルDCは、そのキャパシタC_dの容量値がメモリセルMCのキャパシタC_sのほぼ半分であることを除き、メモリセルMCと同じ製造条件、同じ設計定数で作られている。キャパシタC_dは、そのアドレッシングに先立って、タイミング信号φ_dを受けるMOSFETQ_dによって接地電位に充電される。このように、キャパシタC_dは、その容量値がキャパシタC_sの約半分の容量値に設定されているので、メモリセルMCからの読み出し信号のほぼ半分に等しい基準電圧を形成することになる。

同図においてSAは、上記アドレッシングにより生じるこのような電位変化の差を、タイミング信号(センスアンプ制御信号)φ_{pa1}, φ_{pa2}で決まるセンス期間に拡大するセンスアンプであり

(その動作は後述する)、1対の平行に配置された相補データ線DL, \overline{DL} にその入出力ノードが結合されている。相補データ線DL, \overline{DL} に結合

(Gate Field Effect Transistor)を例にして説明する。

1ビットのメモリセルMCは、その代表として示されているように情報記憶キャパシタC_sとアドレス選択用MOSFETQ_mとからなり、論理“1”、“0”の情報 ϕ はキャパシタC_sに電荷が有るか無いかの形で記憶される。情報の読み出しは、MOSFETQ_mをオン状態にしてキャパシタC_sを共通のデータ線DLにつなぎ、データ線DLの電位がキャパシタC_sに蓄積された電荷量に応じてどのような変化が起きるかをセンスすることによって行われる。メモリセルMCを小さく形成し、かつ共通のデータ線DLに多くのメモリセルをつないで高集積大容量のメモリマトリックスにしてあるため、上記キャパシタC_sと、共通データ線DLの浮遊容量C_o(図示せず)との関係は、C_s/C_oの比が非常に小さな値になる。したがって、上記キャパシタC_sに蓄積された電荷量によるデータ線DLの電位変化は、非常に微少な信号となっている。

されるメモリセルの数は、検出精度を上げるため等しくされ、DL, \overline{DL} のそれぞれに1個ずつのダミーセルが結合されている。また、各メモリセルMCは、1本のワード線WLと相補対データ線の一方との交叉点において結合される。各ワード線WLは双方のデータ線対と交差しているので、ワード線WLに生じる雑音成分が静電結合によりデータ線にのっても、その雑音成分が双方のデータ線対DL, \overline{DL} に等しく現れ、差動型のセンスアンプSAによって相殺される。

上記アドレッシングにおいて、相補データ線対DL, \overline{DL} の一方に結合されたメモリセルMCが選択された場合、他方のデータ線には必ずダミーセルDCが結合されるように1対のダミーワード線DWL, \overline{DWL} の一方が選択される。

上記センスアンプSAは、1対の交差結線されたMOSFETQ₁, Q₂を有し、これらの正帰還作用により、相補データ線DL, \overline{DL} に現れた微少な信号を差動的に増幅する。この正帰還動作は、2段階に分けておこなわれ、比較的小さいコ

コンダクタンス特性にされた MOSFET Q7 が比較的早いタイミング信号 ϕ_{pa1} によって導通し始めると同時に開始され、アドレッシングによって相補データ線 \overline{DL} に与えられた電位差に基づき高い方のデータ線電位は遅い速度で、低い方のそれは速い速度で共にその差が広がりながら下降していく。この時、上記差電位がある程度大きくなったタイミングで比較的大きいコンダクタンス特性にされた MOSFET Q8 がタイミング信号 ϕ_{pa2} によって導通するので、上記低い方のデータ線電位が急速に低下する。このように 2 段階に分けてセンスアンプ SA の動作を行わせることによって、上記高い方の電位落ち込みを防止する。こうして低い方の電位が交差結合 MOSFET のしきい値電圧以下に低下したとき正帰還動作が終了し、高い方の電位の下降は電源電圧 V_{cc} より低く上記しきい値電圧より高い電位に留まるとともに、低い方の電位は最終的に接地電位 (0 V) に到達する。

上記のアドレッシングの際、一旦破壊されかか

MOSFET Q5, Q6 を介してコモン相補データ線対 \overline{CDL} に接続される。このコモン相補データ線対 \overline{CDL} に、出力アンプを含むデータ出力バッファ DOB の入力端子とデータ入力バッファ DIB の出力端子に接続される。

ロウデコーダ及びカラムデコーダ R-DCR は、アドレスバッファ ADB で形成された内部相補アドレス信号を受けて、1 本のワード線及びダミーワード線並びにカラムスイッチ選択信号を形成してメモリセル及びダミーセルのアドレッシングを行う。すなわち、ロウアドレスバッファ R-ADB は、タイミング信号 ϕ_{ar} に同期して外部アドレス信号 $AX_0 \sim AX_i$ を取り込み、ロウデコーダ R-DCR に伝える。ロウデコーダ R-DCR は、ワード線選択タイミング信号 ϕ_x により上記アドレスデコーダ R-DCR の出力に従った所定のワード線及びダミーワード線の選択動作を行う。アドレスバッファ C-ADB は、タイミング信号 ϕ_{ac} に同期して外部アドレス信号 $AY_0 \sim AY_i$ を取り込み、カラムデコーダ C-DCR に

ったメモリセル MC の記憶情報は、このセンス動作によって得られたハイレベル若しくはロウレベルの電位をそのまま受け取ることによって回復する。しかしながら、前述のようにハイレベルが電源電圧 V_{cc} に対して一定以上落ち込むと、何回かの読み出し、再書き込みを繰り返しているうちに論理 "0" として読み取られるところの誤動作が生じる。この誤動作を防ぐために設けられるのがアクティブリストア回路 AR である。このアクティブリストア回路 AR は、ロウレベルの信号に対して何ら影響を与えずハイレベルの信号にのみ選択的に電源電圧 V_{cc} の電位にブーストする働きがある。このようなアクティブリストア回路 AR の具体的回路構成は、この発明に直接関係ないのでその詳細な説明を省略する。

同図において代表として示されているデータ線対 \overline{DL} は、カラムスイッチ CW を構成する MOSFET Q3, Q4 を介してコモン相補データ線対 \overline{CDL} に接続される。他の代表として示されているデータ線対についても同様な M

伝える。カラムデコーダ C-DCR は、データ線選択タイミング信号 ϕ_y によりデータ線の選択動作を行う。

タイミング制御回路 TGC は、外部端子から供給されたチップ選択信号 \overline{CE} とライトイネーブル信号 \overline{WE} と後述するシフトレジスタ SR により形成された時系列的なタイミング信号を受け、その動作モードに従った上記代表として例示的に示されたタイミング信号の他、メモリ動作に必要な他の各種タイミング信号を形成する。上記シフトレジスタ SR は、外部端子から供給されたクロック信号 CLK をシフトクロック信号とし、初段回路に定常的に供給されたハイレベル (論理 "1") のシフト動作を行うことにより、上記タイミング制御回路 TGC に供給する時系列的にタイミング信号を形成する。なお、上記シフトレジスタ SR は、上記チップ選択信号 \overline{CE} がロウレベルにされた時、タイミング制御回路 TGC から供給された制御信号 (図示せず) により動作状態にされ、その後供給された上記クロック信号 CLK に従っ

た論理“1”のシフト動作を開始する。このシフトレジスタの各ビットから得られる時系列的にハイレベルにされるタイミング信号は、上記タイミング制御回路TGCに一旦供給され、ここでその動作モードに従い選択的に送出させられる。

第2図には、その動作の一例を示すタイミング図が示されている。

チップ選択信号CEがロウレベルにされると、タイミング制御回路TCは動作状態にされる。このタイミング制御回路TCに含まれるシフトレジスタは、上記クロック信号CLKに従った内部クロック信号CLK'が供給されることによって、入力に供給された論理“1”の情報を順次シフトさせる。この実施例では、クロック信号CLK'の立ち下がりエッジに同期して、シフトレジスタの各段のビット出力はハイレベル(論理“1”)にされる。

例えば、最初のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、タイミング信号φarが形成される。

によって指示されたワード線WLとダミーワード線DWLの選択動作が行われる(図示せず)。

4番目のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、センスアンプの動作タイミング信号φpa1が形成される。これによって、センスアンプSAの第1段階での増幅動作が行われる。この実施例では、上記クロック信号CLK'の次の立ち上がりエッジに同期して、センスアンプSAの第1段階の増幅動作を行わせるタイミング信号φpa2が形成される。

5番目のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、タイミング信号φacが形成される。これによって、アドレスバッファC-ADBは、外部端子から供給されたアドレス信号AYを取り込む。なお、図示しないが、このタイミングに同期して、タイミング信号φrsを発生させて、アクティブリスタ回路ARを動作状態にする。

6番目のクロック信号CLK'の立ち下がりエ

これによって、アドレスバッファR-ADBは、外部端子から供給されたアドレス信号AXを取り込む。

2番目のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、タイミング信号φrdが形成される。これによって、ロウデコーダR-DCRは動作を開始して、上記アドレスバッファR-ADBの出力に従った1つのワード線とこれに対応したダミーワード線の選択信号を形成する。なお、図示しないが、ワード線を電源電圧以上の高いレベルに昇圧することによって、メモリセルの全電荷の読み出しを行う場合、上記クロック信号CLK'の次の立ち上がりエッジに同期して起動されるブートストラップ回路によって、ワード線WLとダミーワード線DWLは電源電圧以上の高レベルに昇圧される。

3番目のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、ワード線選択タイミング信号φxが形成される。これによって、ロウデコーダR-DCR

に同期してハイレベルにされるビット出力を受けて、タイミング信号φcdが形成される。これによって、カラムデコーダC-DCRは動作を開始して、上記アドレスバッファC-ADBの出力に従った相補データ線DL、DLの選択信号を形成する。

7番目のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、データ線選択タイミング信号φyが形成される。これによって、カラムデコーダC-DCRの出力がカラムスイッチ回路CWに供給され、選択された相補データ線DL、DLと共通相補データ線CDL、CDLとが結合される。

図示しないが、ライトイネーブル信号WEがハイレベルの読み出し動作なら、8番目のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、データ出力バッファDOBに含まれるメリアンプの動作タイミング信号φmaが形成される。これによって、共通相補データ線CDL、CDLに現れた読み出し

信号の増幅動作が行われる。

9番目のクロック信号CLK'の立ち下がりエッジに同期してハイレベルにされるビット出力を受けて、データ出力バッファDOBの動作タイミング信号 ϕ_{rw} が形成される。これにより、上記メインアンプの増幅出力が外部端子Doutから送出される。

以後、チップ選択信号CEがハイレベルにされてチップ非選択状態になると、上記シフトレジスタはリセットされ、全ビットが論理"0"にされることにより、上記各周辺回路がダイナミック型回路によって構成されている場合、プリチャージ動作に移行する。

この実施例では、共通のアドレス端子からロウアドレス信号AXとカラムアドレス信号AYを多重化して供給にあたり、ロウアドレスバッファR-ADBとカラムアドレスバッファC-ADBとは、チップ選択状態にされた後の最初のクロック信号CLK'と5番目のクロック信号CLK'の立ち下がり時に動作するから、このタイミングに

周期、言い換えれば、内部回路の動作ステップ数に従って決められる短い周期のクロック信号を供給して、このクロック信号に基づいて時系列的なタイミング信号を形成することによって、シフトレジスタのような極めて簡単な回路を用いることができる。これによって、回路規模を小さくできるという効果が得られる。

(2) 外部から供給したクロック信号を用いて内部回路のタイミング信号を形成することにより、複雑なタイミング制御が不要になるとともに、素子バラツキの影響が大幅に軽減でき内部回路のレーシング等の発生を確実に防止できる。これによって、高速で安定した動作の半導体記憶装置を得ることができるという効果が得られる。

(3) 内部回路の動作状態が、クロック信号により間接的にモニターできるから、外部端子からの信号供給タイミングが容易にできるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施

合わせて供給する。なお、チップ選択信号CE、ライトイネーブル信号WE及びアドレス信号AX、AYを全て外部クロック信号CLKに同期させて供給することによって、外部回路と内部回路との完全な同期化を図ることができるとともに、ダイナミック型RAMに対するデータの授受も、上記クロック信号CLKとの同期化を図ることができる。

なお、書き込み動作なら、ライトイネーブル信号WEのロウレベルによって、例えばメインアンプの動作タイミング信号 ϕ_{ma} に代え、タイミング信号 ϕ_{rw} を発生させ、データ入力バッファDIBを動作状態にさせ、外部端子Dinから供給された書き込みデータを取り込み、次のタイミングによって共通データ線CDL、CDL、カラムスイッチ回路CW及び選択された相補データ線DL、DLを通して選択されたメモリセルに書き込みデータを伝えるものである。

(発明の効果)

(1) 外部からメモリアクセスタイムより短くされた

例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、内部回路の動作状態をクロック信号によって制御できるから、その回路動作を次の動作に切り替えることによって、言い換えるならば、X系の周辺回路は、Y系の周辺回路が動作状態に入ると、直ちに次の動作に移行させるものとする等してパイプライン動作も実現できる。これによって、見かけ上の動作速度を大幅に向上させることができる。

また、外部クロック信号の周波数を低くするために、クロック信号の両エッジ毎に、上記一連のタイミング信号を形成するものであってもよい。また、内部回路の一連の時系列的なタイミング信号は、クロック信号を計数するカウンタ回路と、このカウンタ回路の出力をデコードするデコーダ回路とにより形成することができるものである。このようにパルス信号を順序的に発生させる回路は、種々の実施形態を採ることができる。

さらに、クロック信号とチップ選択信号の共通

化を図るものであってもよい。すなわち、タイマー回路等を利用したクロック検出回路を設けて、クロック信号が一定の短い周期で供給され続けると、この間チップ選択状態とみなして前記のような動作を行うものであってもよい。

この発明は、上記ダイナミック型RAMの他、スタティック型RAM、各種ROM（リード・オンリー・メモリ）等の半導体記憶装置に広く利用できる。

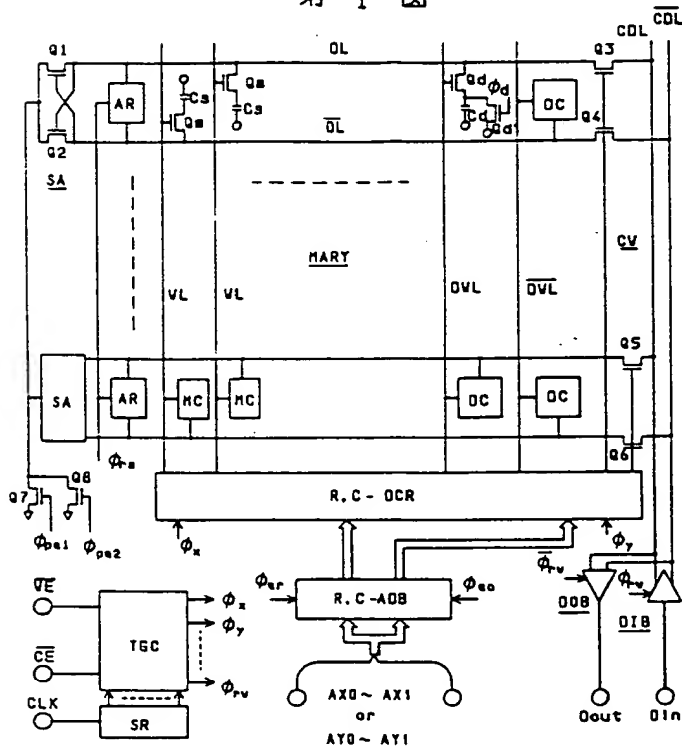
4. 図面の簡単な説明

第1図は、この発明をダイナミック型RAMに適用した場合の一実施例を示す回路図、

第2図は、その動作を説明するためのタイミング図である。

MC・・・メモリセル、DC・・・ダミーセル、CW・・・カラムスイッチ、SA・・・センスアンプ、AR・・・アクティブリストア回路、R.C-DCR・・・ロウ/カラムデコーダ、ADB・・・アドレスバッファ、DOB・・・データ信号バッファ、DIB・・・データ入力バッファ、TGC・・・タイミ

第1図



第2図

